|  |  |  |  |
| --- | --- | --- | --- |
| **Họ tên sinh viên** | **MSSV** | **Lớp (thứ - tiết)** |  |
|  |  |  |

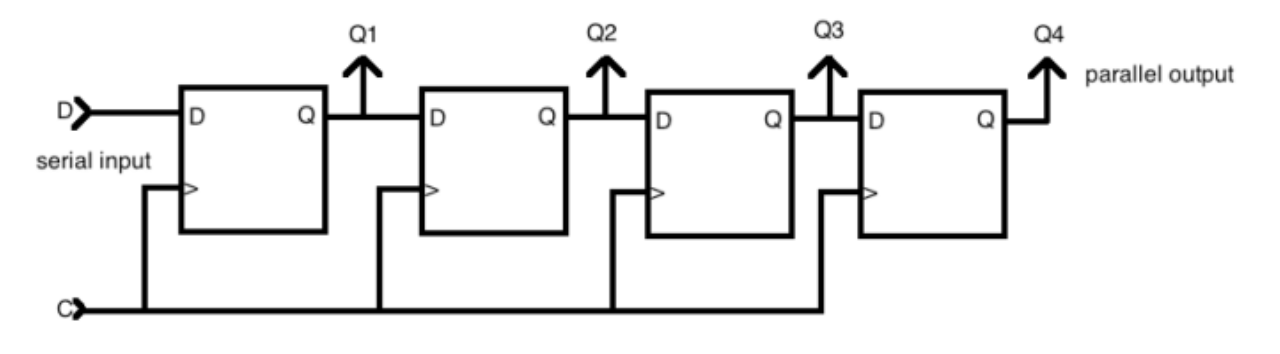
Chú ý: **Sinh viên thay bằng QR code của mã số sinh viên (ví dụ: 23119012), có thể tham khảo tại https://barcode.tec-it.com)**

Quick question : chapter 5

***Lưu ý: Trong mỗi thiết kế yêu cầu sinh viên thực hiện***

* ***Sơ đồ khối (nguyên lý, cấu trúc)***
* ***Bảng trạng thái***
* ***Mô tả bằng ngôn ngữ Verilog cho module cần thiết kế,***
* ***Mô tả Verilog cho module dùng để kiểm tra thiết kế***
* ***Kết quả mô phỏng quá trình kiểm tra, có phân tích***
* ***Module test được đặt tên theo cú pháp: tensv\_testbench\_tenmodule, ví dụ để test module encoder, sinh viên Nguyen Van An phải đặt tên module test như sau: An\_testbench\_encoder. Các kết quả mô phỏng phải được chụp màn hình bao gồm cả tên của module test trong đó có tên sinh viên thì mới hợp lệ***

1. **Thiết kế và mô phỏng kiểm chứng mạch Flip Flop D**
2. **Thiết kế và mô phỏng kiểm chứng thanh ghi dịch 8 bit sử dụng FlipFlop D**

****

1. **Thiết kế và mô phỏng kiểm chứng mạch đếm đồng bộ 8 bit sử dụng FlipFlop T**

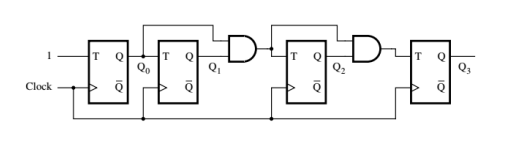
****

Figure : Mạch đếm đồng bộ 8 bit này sẽ sử dụng T-Flip-Flop (T-FF) và sẽ đếm từ 00000000 đến 11111111 (từ 0 đến 255 trong hệ thập phân). Mỗi xung đồng hồ sẽ làm tăng giá trị của bộ đếm lên 1.

<https://programmerbay.com/design-a-4-bit-synchronous-up-counter-using-t-flip-flop/>